

Transparent electrically conductive film-attached substrate and display element using it

Patent Number:
Publication Number: 1998-079255
Publication date: 1998-11-25.
Inventor(s): OGINO ETSUO(JP); ANZAKI TOSHIKI(JP)
Applicant(s): NIPPON SHEET GLASS CO., LTD.
Requested Patent :

Application Number: 10-1997-023198
Application date: 1997-06-15
Priority Number(s): JP199600145519, JP199700094061
IPC Classification:
EC Classification:
Equivalents:

Abstract

A transparent electrically conductive film-attached substrate comprising a transparent glass substrate having formed on the surface thereof a transparent electrically conductive film, wherein the transparent electrically conductive film is formed by successively laminating a reflection preventing layer, a silver layer or a metal layer comprising silver as the main component, and a reflection preventing layer, and the reflection preventing layer comprises a composite oxide of zinc and indium. Atomic ration of zinc and indium of the reflection preventing layer represented by $\text{Ad zinc}/(\text{zinc}+\text{indium})$ is from 0.03 to 0.9. The substrate has both the moisture and heat resistance and the alkali resistance and is suitable for a display element such as a liquid crystal cell

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
G02F 1/136
G02F 1/1343(11) 공개번호 특1999-0077818
(43) 공개일자 1999년 10월 25일

(21) 출원번호	10-1999-0008236
(22) 출원일자	1999년 03월 12일
(30) 우선권주장	10-063251 1998년 03월 13일 일본 (JP) 10-063252 1998년 03월 13일 일본 (JP) 10-063253 1998년 03월 13일 일본 (JP)
(71) 출원인	가부시끼가이샤 도시바 니시무로 타이쇼 일본국 가나가와현 가와사키시 사이와이쿠 호리가와조 72반지
(72) 발명자	도조마사유키 일본 효고현 히메지시 요베쿠가미요베 50반지 가부시끼가이샤 도시바히메지 공장내 구보마키라 일본 효고현 히메지시 요베쿠가미요베 50반지 가부시끼가이샤 도시바히메지 공장내
(74) 대리인	김명신, 김원오

실시예 : 있음**(54) 표시장치용 어레이 기판의 제조방법****요약**

본 발명은 액정표시장치 등의 평면표시장치에 이용되는 표시장치용 어레이기판의 제조방법에 있어서, 배선저항을 낮게 할과 동시에 배선의 변형 등에 따른 중간 절연막의 불량을 방지하는 것을 목적으로 하고, 또한 에칭 시의 배선금속층이 부식과 이에 의한 생산성의 저하를 방지하는 것을 목적으로 하며, 본 발명의 방법에 있어서는 주사선(111)의 작성에 있어서, 알루미늄-네오듐(Al-Nd)합유막(110)을 막두께 300nm 퇴적시켜, 이 위에 Mo막(110)을 막두께 50nm적층하여 퇴적시키고, 다음에 350°C의 기판온도에서 CVD법에 의해 게이트 절연막(115, 117)을 형성시키고, 또한 화소전극(131)의 에칭을 HBr, HI, 옥살산 또는 이들 중 어느것을 적어도 포함하는 혼합액에 의해 실시하는 것을 특징으로 한다.

도표도**도2****색인어**

표시장치, 어레이기판

명세서**도면의 간단한 설명**

- 도 1은 본 발명의 한 실시예의 어레이 기판의 일부 개략평면도,
 도 2는 도 1에서의 A-A'선을 따라 절단한 액정표시장치의 개략 단면도,
 도 3은 도 1에서의 B-B'선을 따라 절단한 액정표시장치의 개략 단면도,
 도 4는 도 1에서의 C-C'선을 따라 절단한 액정표시장치의 개략 단면도,
 도 5는 도 1에서의 D-D'선을 따라 절단한 액정표시장치의 개략 단면도,
 도 6은 도 1에서의 E-E'선을 따라 절단한 액정표시장치의 개략단면도,
 도 7은 도 1에서의 어레이 기판을 제조하는 제 1 공정을 설명하기 위한 도면,
 도 8은 도 1에서의 어레이 기판을 제조하는 제 2 공정을 설명하기 위한 도면,
 도 9는 도 1에서의 어레이 기판을 제조하는 제 3 공정을 설명하기 위한 도면,

도 10은 도 1에서의 어레이 기판을 제조하는 제 4 공정을 설명하기 위한 도면,
 도 11은 도 1에서의 어레이 기판을 제조하는 제 5 공정을 설명하기 위한 도면,
 도 12는 도 1에서의 어레이 기판을 제조하는 제 6 공정을 설명하기 위한 도면 및
 도 13은 도 1에서의 어레이 기판을 제조하는 제 7 공정을 설명하기 위한 도면이다.

*도면의 주요부분에 대한 부호의 설명

1: 액정표시장치	100: 어레이기판
101: 유리기판(어레이기판)	101a: 유리기판(101)의 한 단면
101b: 유리기판(101)의 다른 한 단면	110: 신호선
111: 주사선	111a, 111b: 하층배선부
112: 박막 트랜지스터(TFT)	113: 연장영역
115: 제 1 게이트 절연막	117: 제 2 게이트 절연막
119: 반도체피막	120: 반도체막
121: 채널보호피막	122: 채널보호막
123: 저저항 반도체피막	124a, 124b: 저저항 반도체막
125: 3층구조막	125a: 상층배선부
125b: 상층배선부(신호선(110))	126a: 드레인전극
126b: 소스전극	127: 홀단 절연막
129a: 접촉홀	131: 화소전극(주사선 접촉홀)
131a, 131b: 서로 이웃하는 화소전극(131)의 신호선(110)에 따른 단면	
141: 배향막(어레이기판)	150: 경사 배선부
152: 주사선 패드	153, 155, 165: 제 1 접촉홀
154, 156, 166: 제 2 접촉홀	154a, 156a, 164a, 166a: 구멍
160: 경사 배선부	162: 신호선 패드
163: 제 1 접촉홀	164: 제 2 접촉홀
200: 대향전극	201: 유리기판(대향전극)
211: 차광막	221: 칼러필터
231: 대향전극	241: 배향막(대향전극)
311: 편광판(어레이기판)	313: 편광판(대향기판)
1110: (Al-Nd)합금막	1111: (Mo)몰리브덴막

OS: 화소전극(131)과 화소전극에 대응하는 주사선(111)에 대하여 전단의 주사선에서의 연장영역(113)과의 중첩영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 등의 평면표시장치에 사용되는 표시장치용 어레이 기판의 제조방법에 관한 것이다.

최근, CRT 디스플레이를 대신하는 평면형의 표시장치가 활발히 개발되고 있고, 그 중에서도 액정표시장치는 경량, 박형, 저소비 전력 등의 이점으로부터 특히 주목을 모으고 있다.

예를 들어, 각 표시화소마다 스위치 소자가 배치된 광투과형 액티브매트릭스형의 액정표시장치를 예로 들어 설명한다. 액티브매트릭스형 액정표시장치는 어레이 기판과 대향기판 사이에 배향막을 통하여 액정층이 유지되어 이루어져 있다. 어레이 기판은 유리나 석영 등의 투명절연기판 상에 복수개의 신호선과 주사선이 격자형태로 배치되고, 각 교점부분에 비정질 실리콘(이하, a-Si:H로 약칭한다.) 등의 반도체 박막을 사용한 박막 트랜지스터(이하, TFT라고 약칭한다.)가 접속되어 있다. 그리고 TFT의 게이트 전극은 주사선에, 드레인 전극은 신호선에 각각 전기적으로 접속되고 또한 소스 전극은 화소전극을 구성하는 투명도전재료, 예를 들어 ITO(Indium-Tin-Oxide)에 전기적으로 접속되어 있다.

대향기판은 유리 등의 투명절연기판상에 ITO로 이루어진 대향전극이 배치되고, 또한 칼러표시를 실현하

는 것이라면 컬러필터층이 배치되어 구성되어 있다.

이와 같은 액티브 매트릭스 액정표시장치의 어레이 기판의 구성에 대해서, 채널보호형의 TFT를 예로 들어 설명한다.

주사선은 알루미늄(AI)과, 상기 AI 표층이 전해액에 의해 양극산화되어 이루어진 양극산화피막으로 구성되어 있다. 또한, 보조동량배선에 대해서도 동일한 구성으로 이루어져 있다.

그 형성방법은 유리 등의 절연성 기판상에, 우선 스퍼터법에 의해 AI를 퇴적하고 소정의 배선의 형상으로 패터닝한다. 상기 AI 패턴의 양극산화하지 않는 영역을 선택적으로 레지스트 등의 내양극산화 마스크재로 피복하고, 소정의 전압을 인가함으로써, AI의 패턴 상에 AI 산화물을 소정의 막두께(예를 들어 100nm~200nm)로 형성하고, 주사선, 게이트 전극 및 보조동량배선을 형성한다. 그리고, TFT의 능동부, 화소전극, 신호선 및 소스·드레인 전극을 차례로 형성하고, 액티브 매트릭스 액정표시장치용 어레이 기판을 완성시킨다.

그러나, 저저항 배선으로서의 AI 배선의 표층을 양극산화막으로 피복하기 위해서는 양극산화공정(양극산화마스크 형성공정도 포함함)을 필요로 하는 것 및 양극산화를 위한 전압공급의 특별한 배선 패턴이 필요해지고, 게이트 배선 패턴(주사선 및 게이트 전극을 위한 패턴)이 제한됨으로써, 설계의 자유도 및 생산성이 떨어진다.

또한, AI의 패턴만을 배선에 사용하는 것도 생각할 수 있지만, 이 할록 등의 변형이 발생하는 경우가 있다. 즉, 두께 방향으로 일부가 솟아오르는 현상이다. 배선에 이와 같은 할록이 발생하면, 절연막의 홀간 절연성이 나빠지고, 어레이 기판의 수율을 크게 떨어뜨린다.

또한, 화소전극을 형성하는 공정에서, 에칭을 실시하면 상기 에천트가 AI 배선의 홀에 침투하여 AI를 부식하여 수율이 떨어지는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 액정표시장치 등의 평면표시장치에 사용되는 표시장치용 어레이 기판의 제조방법에 있어서, 저저항 배선을 확보할 수 있고 또한 배선의 변형 등에 수반되는 홀간 쇼트를 효과적으로 방지하는 것을 목적으로 한다. 또한, 에칭시의 배선금속층의 부식과 그에 의한 수율의 저하를 방지하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명은 기판상에 배치되는 주사선 및 게이트 전극과, 이 위에 배치되는 게이트 절연막, 이 위에 배치되는 반도체막, 상기 반도체막에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 드레인 전극으로부터 도출되어 상기 주사선과 거의 직교하는 신호선과, 상기 소스전극과 전기적으로 접속되는 화소전극을 구비한 표시장치용 어레이 기판의 제조방법에 있어서, 상기 주사선 및 게이트 전극을, 알루미늄 합금(AI합금)의 홀과 고용점 금속의 홀으로 이루어진 적층막의 패턴으로서 형성하는 공정과, 상기 주사선 및 게이트 전극에 직접 접하는 게이트 절연막을, 300℃ 이상의 기판온도에서 성막하는 공정을 갖는 것을 특징으로 한다.

이상과 같은 주사선의 구성에 있어서, 예를 들어 AI 합금금속으로서 알루미늄 네오듐 합금(AI-Nd, 네오듐이 2원자%)를 막두께 300nm, 상기 AI 합금상에 고용점 금속을 막두께 50nm 적층하여 퇴적시킨다. 이 적층막을 테이퍼 형상 가공하여 주사선을 형성하고, 다음에 350℃의 기판온도에서 플라즈마 CVD법에 의해, 게이트 절연막을 형성시킨다. AI 합금과 고용점 금속의 적층에 의해 AI가 변형하지 않고 홀간 절연막의 불량은 발생하지 않으며, 어레이 기판형성에 있어서 수율을 저하시키는 일은 없다. 이에 의해, 수율 저하를 일으키지 않고 종래와 동등 또는 그 이하의 배선 저항을 실현할 수 있다.

또한, 상기 화소전극을 형성하는 공정에서, 브롬화 수소산(HBr·aq), 요드화 수소산(HI·aq), 옥살산(COOH)₂, 또는 이 중 하나를 적어도 포함하는 전해액에 의한 에칭을 실시해도, 또는 건식에칭을 실시해도 알루미늄 합금을 포함하는 주사선 사이에는 고용점 금속과 게이트 절연막이 존재하므로, 상기 알루미늄 합금이 에칭제에 의해 손상을 받는 일이 없다.

본 발명의 실시예의 액정표시장치(1)에 대해서 도 1에서 도 13에 기초하여 설명한다.

이 액정표시장치(1)는 컬러표시가 가능한 광투과형이고 도 2에 도시한 바와 같이, 어레이 기판(100)과 대향기판(200) 사이에 폴리이미드 수지로 이루어지고 서로 직교하는 방향으로 배향처리가 이루어진 배향막(141,241)을 통하여, 트위스티드·네마틱(TN) 액정이 유지되어 있다. 또한, 어레이 기판(100)과 대향기판(200)의 바깥 표면에는 각각 편광판(311,313)이 부착되어 구성되어 있다.

도 1은 어레이 기판(100)의 개략 평면도를 도시한 것이고 도면 중의 아래쪽이 액정표시장치(1)의 화면 상측에 위치하는 것이며, 도면 중 아래쪽으로부터 위쪽으로 주사선이 차례로 선택되는 것이다.

어레이 기판(100)은 유리 기판(101)상에 배치되는 480개의 주사선(111)을 포함하고 각 주사선(111)의 한 단은 유리 기판(101)의 한 단면(101a)측에 인출되고 경사 배선부(150)를 거쳐 주사선 패드(152)에 전기적으로 접속된다. 또한, 주사선(111)은 알루미늄-네오듐(AI-Nd) 합금막(1110)(Nd를 2원자% 포함)과 몰리브덴(Mo)막(1111)의 이층구조이다.

여기에서, 원자%는 원자를 요소입자로 하는 몰%이고 합금 전체의 원자수(몰수)에 대한 첨가원소의 원자수(몰수)의 백분율이다. 어레이 기판(100)은 유리 기판(101) 상에 주사선(111)과 거의 직교하는 1920개의 신호선(110)을 포함하고, 각 신호선(110)은 유리 기판(101)의 다른 한 단면(101b)측에 인출되고, 경사 배선부(160)를 거쳐 신호선 패드(162)에 전기적으로 접속된다. 또한, 신호선(110)은 Mo를 주성분으

로 하는 제 1 금속막, Si를 주성분으로 하는 제 2 금속막, Mo를 주성분으로 하는 제 3 금속막의 상층구조로 이루어져 있다.

이 주사선(111)과 신호선(110)의 교점부분 근방에는 TFT(112)가 배치되어 있다. 또한, 상기 TFT(112)에 접속되는 110로 이루어진 화소전극(131)이 주사선(111) 및 신호선(110)상에 중간 절연막(127)을 통하여 배치되어 있다. 이 중간 절연막(127)으로서는 절화 실리콘막이나 산화 실리콘막 등의 무기절연막 또는 아르릴계 등의 유기수지피막으로 구성할 수 있지만, 이 무기절연막과 유기수지피막의 다층막으로 구성함으로써, 표면평활성 및 중간절연성은 한층 더 향상된다.

(TFT 영역의 구조)

TFT(112) 영역의 구조에 대해서 설명한다.

각 주사선(111)은 인접하는 화소전극(131)의 신호선(110)을 따른 단면(131a, 131b)과 중복하도록 가는 선형상으로 연장되는 연장영역(113)을 포함한다. 화소전극(131)과, 화소전극(131)에 대응하는 주사선(111)에 대해서 전단의 주사선(111)으로부터의 연장영역(113)의 중복영역(03)은, 도 6에 도시한 바와 같이 제 1 게이트 절연막(115), 제 2 게이트 절연막(117) 및 중간절연막(127)을 통하여 서로 중복되고, 상기 중복영역(03)에 의해 보조용량(Cs)이 구성된다. 또한, 이 실시예에서는 화소전극(131)은 전단의 주사선(111) 자체와도 제 1 게이트 절연막(115), 제 2 게이트 절연막(117) 및 중간절연막(127)을 통하여 서로 중복되고, 상기 중복영역에서도 보조용량(Cs)이 구성된다.

이 아래에 기판(100)에 대항하는 대항기판(200)은 유리 기판(201) 상에 배치되고, TFT(112) 영역, 신호선(110) 및 주사선(111)과 화소전극(131)의 간격을 차광하는 매트릭스형상의 수지성의 차광막(211)을 포함한다. 또한, 화소전극(131)에 대응하는 영역에는 각각 적색(R), 녹색(G) 및 청색(B)의 컬러필터(221)가 배치되고 이 위에 투명전극재로 이루어진 대향전극(231)이 배치되어 구성된다.

이상과 같이, 이 액정표시장치(1)의 아래에 기판(100)에 의하면 신호선(110) 및 주사선(111)과 화소전극(131) 사이에는 중간절연막(127), 또는 제 1 및 제 2 게이트 절연막(115, 117) 및 중간절연막(127)이 각각 배치되어 있으므로, 화소전극(131)을 각 배선(110, 111)에 대해서 충분히 근접, 또는 중첩하여 배치할 수 있고, 이에 의해 높은 개구율을 실현할 수 있다.

또한, 상기 실시예에 의하면, 보조용량(Cs)이 화소전극(131)과, 상기 화소전극(131)과 인접하는 주사선(111)으로부터 연장되는 연장영역(113) 사이에서 형성되므로, 별도 보조용량선 등을 배치할 필요가 없고, 한층 더 높은 개구율이 가능해진다. 특히, 상기 실시예에서는 TFT(112)는 주사선(111)으로부터 신호선(110)을 따라 도출되는 영역을 게이트 전극으로 구성함으로써, 화소전극(131)을 전단의 주사선(111) 자체와 중첩시킬 수 있다. 이에 의해, 충분한 보조용량(Cs)의 확보와 높은 개구율이 동시에 달성된다.

그리고, 화소전극(131)과 주사선(111) 및 연장영역(113) 사이에는, 3종류의 절연막(115, 117, 127)이 각각 적층 배치되어 있으므로, 본 실시예의 구조에 따른 중간 쇼트 등의 발생도 매우 감소된다.

그런데, 이 실시예에서는 화소영역이 대항기판(200)에 배치되는 차광막(211)은 아니고 아래에 기판(100) 상의 주사선(111) 및 그 연장영역(113)에 의해 정해진다. 따라서, 아래에 기판(100)과 대항기판(200)의 맞을 정밀도에 따르지 않고, 주사선(111)을 패터닝하는 제 1 마스크 패턴과 화소전극(131)을 패터닝하는 후술할 제 5 마스크 패턴과 맞을 정밀도에 의해서만 결정되므로, 아래에 기판(100)과의 대항기판(200)의 맞을 오차를 고려하여 차광막(211) 쪽에 마진을 설치할 필요가 없으므로, 더욱 높은 개구율의 실현이 가능해진다.

또한, 화소영역을 정하기 위해, 주사선(111)의 연장영역(113)을 화소전극(131)의 신호선(110)을 따른 단면(131a, 131b)을 따라서 충분히 연장시켜도, 상기 실시예에 의하면 화소전극(131)과 주사선(111)의 연장영역(113) 사이에는 제 1 게이트 절연막(115) 및 제 2 게이트 절연막(117) 외에 중간절연막(127)이 배치되어 있으므로, 생산성을 손상시키지 않고 보조용량(Cs)의 대폭적인 증대를 억제할 수 있다.

또한, 도 5에 도시한 바와 같이 신호선(110)의 음극과 저저항 반도체막(124a) 및 반도체막(120)의 음극이 거의 일치하고 있다. 더욱 상세하게는, 신호선(110)과 주사선(111)의 교차부에는 반드시 제 1 내지 제 2 게이트 절연막(115, 117) 외에 저저항 반도체막(124a) 및 반도체막(120)이 적층되어 있다. 이 때문에 각 패터닝시에 마스크 오차가 발생해도, 신호선(110)과 주사선(111) 사이의 용량변동이 없고, 이 때문에 제품간에서 주사선 용량 또는 신호선 용량의 변동이 감소된다. 또한, 신호선(110)과 주사선(111)의 교차부에서의 정전기, 공정중에서의 먼지, 또는 각 절연막(115, 117)의 편층에 기인하는 중간 쇼트도 억제되고, 이에 의해 높은 제조수율을 확보할 수 있다.

또한, 도 6에 도시한 바와 같이 신호선(110)의 음극과 저저항 반도체막(124a) 및 반도체막(120)의 음극이 일치하고 있으므로, 종래와 같이 별도의 공정에서 패터닝되는 것과는 다르고, 각 패터닝시에 마스크 오차가 발생해도 신호선(110)과 주사선(111)의 연장영역(113) 사이에 발생하는 용량변동도 충분히 억제할 수 있다.

또한, 신호선(110)과 주사선(111)의 연장영역(113)을 중첩, 즉 도 6에서 신호선(110)을 통하여 인접하여 배치되는 연장영역(113)을 신호선(110) 아래에서 접속하는 구조로 해도, 신호선(110)과 주사선(111)의 연장영역(113) 사이에는 각 절연막(115, 117) 외에 반도체막(120)이 반드시 배치되므로, 정전기, 공정에서의 먼지, 또는 각 절연막(115, 117)의 편층에 기인하는 중간 쇼트도 억제되고 이에 의해 높은 제조수율을 확보할 수 있다. 그리고, 이와 같이 신호선(110)과 인접하는 화소전극(131) 아래에 연장영역(113)을 배치하는 구성에 의해 신호선(110)과 화소전극(131) 사이의 용량결합이 연장영역(113)에 의해 실드되고, 화소전극(131)의 전위가 신호선(110)의 전위에 의해 받는 영향을 감소시킬 수 있다. 또한, 신호선(110)과 절연막(115, 117) 사이에 배치되는 반도체막(120) 및 저저항 반도체막(124a)의 음극선이 신호선(110)의 음극선과 일치하고 있다. 이러한 이유에서 신호선(110)과 화소전극(131)을 충분히 근접

배치할 수 있고 이에 의해 한층 더 높은 개구율이 달성된다.

(주사선의 외부 물레부 부근의 구조)

주사선(111)의 외부 물레부 부근의 구조에 대해서, 도 1 및 도 3에 기초하여 설명한다.

주사선(111)은 유리 기판(101)의 한 단면(101a)측에 인출되고, 경사 배선부(150) 및 주사선 패드(152)로 인도되는 하층배선부(111a)를 형성하고 있다.

경사 배선부(150)에서는 주사선(111)으로부터 연장되는 하층배선부(111a) 상에는 2층의 절연막(115,117)이 적층 배치되어 있다. 또한, 상기 2층의 절연막(115,117) 위에는 반도체 피막(119), 저저항 반도체 피막(123) 및 신호선(110)과 동일한 공정에서 동일한 재료인 상층 배선부(125a)가 적층되고, 이 상층배선부(125a) 위에는 중간 절연막(127)이 배치되어 있다.

그리고, 이 경사 배선부(150)의 기초부에서는 한 쌍을 이루는 제 1 접착층(153)과 제 2 접착층(154)이 각각 배선방향을 따라서 근접하여 배치되고, 화소전극(131)과 동일한 공정에서 동일한 재료인 IT0로 이루어진 주사선 접속층(131)에 의해 주사선(111)으로부터 연장되는 하층배선부(111a)와 상층배선부(125a)가 제 1 접착층(153) 및 제 2 접착층(154)을 통하여 전기적으로 접속되어 있다. 또한, 제 2 접착층(154)은 상술한 제 2 접착층(154)과 동일하게, 하층 배선부(111a)의 주표면의 일부를 노출하도록 2층의 절연막(115,117), 반도체 피막(119), 저저항 반도체 피막(123) 및 상층 배선부(125a)를 관통하는 구멍이고, 제 1 접착층(153)은 상층 배선부(125a)의 주표면의 일부를 노출시키도록 중간절연막(127)을 관통하는 구멍이다.

또한, 주사선 패드(152)에 있어서는 역시 한 쌍을 이루는 제 1 접착층(155)과 제 2 접착층(156)이 각각 배선방향을 따라서 근접하여 배치되고, 화소전극(131)과 동일한 공정으로 동일한 재료인 IT0로 이루어진 주사선 접속층(131)에 의해 주사선(111)의 하층 배선부(111a)와 상층 배선부(125a)가 제 1 접착층(155) 및 제 2 접착층(156)을 통하여 전기적으로 접속되어 있다. 또한, 제 2 접착층(156)은 상술한 제 2 접착층(154)과 동일하게, 하층 배선부(111a)의 주표면의 일부를 노출하도록 2층의 절연막(115,117), 반도체 피막(119), 저저항 반도체 피막(123) 및 상층 배선부(125a)를 관통하는 구멍이고, 제 1 접착층(155)은 상술한 제 1 접착층(153)과 동일하게 상층 배선부(125a)의 주표면의 일부를 노출시키도록 중간 절연막(127)을 관통하는 구멍이다.

이에 의해, 주사선(111)의 경사 배선부(150)는 서로 다른 공정에서 패터닝되는 신호선(110)과 동일한 재료로 동일한 공정에서 제작되는 상층 배선부(125a)와 주사선(111)으로부터 연장되는 하층 배선부(111a)의 적층 구조로 구성되고, 상기 2층에 의해 경사 배선부(150)의 기초부와 주사선 패드(152)가 전기적으로 접속된다.

이 때문에 경사 배선부(150)에 있어서, 상층 배선부(125a) 또는 하층 배선부(111a)의 한쪽이 단선되어도 다른쪽이 접속되어 있으므로, 경사 배선부(150)에서의 단선 불량에 매우 감소된다.

또한, 경사 배선부(150)은 저저항 재료인 Al-Nd 합금막(1110)으로 이루어진 하층 배선부(111a)를 포함하므로 저항을 크게 낮출 수 있다.

또한, 이 실시예에서는 제 2 접착층(156)의 영역, 즉 하층배선부(111a)와 주사선 접속층(131)의 적층 영역이 주로 주사선 패드(152)의 접속 영역으로서 기능한다.

(신호선의 외부 물레부 부근의 구조)

신호선(110)의 외부 물레부 부근의 구조에 대해서, 도 1 및 도 4에 기초하여 설명한다.

주사선(111)과 동일한 공정으로 동일한 재료로 이루어진 하층 배선부(111b)가, 각 신호선(110)에 대응하여 유리 기판(101)의 다른 한 단면(101b)측의 신호선(110)의 경사 배선부(160) 및 신호선 패드(162)에 배치되어 있다.

경사 배선부(160)에 있어서는 하층 배선부(111b) 상에는 2층의 절연막(115,117)이 배치되어 있다. 또한, 상기 2층의 절연막(115,117) 상에, 반도체 피막(119), 저저항 반도체 피막(123) 및 신호선(110)으로부터 연장되는 상층 배선부(125b)(신호선(110))이 적층되고, 이 위에 배선부(125b) 상에는 중간 절연막(127)이 배치되어 있다.

그리고, 상기 경사 배선부(160)의 기초부에 있어서는 한 쌍을 이루는 제 1 접착층(163)과 제 2 접착층(164)이 각각 배선방향을 따라서 근접하여 배치되고, 화소전극(131)과 동일한 공정으로 동일한 재료인 IT0로 이루어진 신호선 접속층(131)에 의해 신호선(110)으로부터 연장되는 상층 배선부(125b)와 하층 배선부(111b)가 전기적으로 접속되어 있다. 또한, 제 2 접착층(164)은 하층 배선부(111b)의 주표면의 일부를 노출하도록 2층의 절연막(115,117), 반도체 피막(119), 저저항 반도체 피막(123) 및 상층 배선부(125b)를 관통하는 구멍이고, 제 1 접착층(163)은 상층 배선부(125b)의 주표면의 일부를 노출하도록 중간 절연막(127)을 관통하는 구멍이다.

또한, 신호선 패드(162)에 있어서는 역시 한 쌍을 이루는 제 1 접착층(165)과 제 2 접착층(166)이 각각 배선방향을 따라서 근접하여 배치되고 화소전극(131)과 동일한 공정으로 동일한 재료인 IT0로 이루어진 신호선 접속층(131)에 의해 신호선(110)으로부터 연장되는 상층 배선부(125b)와 하층 배선부(111b)가 전기적으로 접속되어 있다. 또한, 제 2 접착층(166)은 상술한 제 2 접착층(164)과 동일하게, 하층 배선부(111b)의 주표면의 일부를 노출하도록 2층의 절연막(115,117), 반도체 피막(119), 저저항 반도체 피막(123) 및 상층 배선부(125b)를 관통하는 구멍이고, 제 1 접착층(165)은 상술한 제 2 접착층(163)과 동일하게 상층 배선부(125b)의 주표면의 일부를 노출하도록 중간 절연막(127)을 관통하는 구멍이다.

이에 의해, 경사 배선부(160)에 있어서는 신호선(110)으로부터 연장되는 상층 배선부(125b)와 주사선(111)과 동일한 공정으로 동일한 재료인 하층 배선부(111b)가 적층 배치되고 이 2층에 의해, 경사

배선부(160)의 기초부와 신호선 패드(162)를 전기적으로 접속하고 있다.

그 때문에, 경사 배선부(160)에 있어서 상층 배선부(125b) 또는 하층 배선부(111b)의 한쪽이 단선되어도 다른쪽이 접속되어 있으므로, 경사 배선부(160)에 단선불량이 발생하는 일이 감소된다.

또, 경사 배선부(160)는 저저항재료인 Al-Nd합금막(1110)으로 이루어지는 하층 배선부(111b)를 포함하기 때문에, 저항을 크게 낮출 수 있다.

또한, 이 실시예에서는 제 2 접속홀(166)의 영역, 즉 하층 배선부(111b)와 주사선 접속홀(131)과의 적층 영역이 주로 신호선 패드(162)의 접속영역으로서 기능한다.

상술한 구성에 의하면, 구동 IC의 방폭, FPC(Flexible Print Circuit)이나 TCP(Tape Carrier Package)의 전극 등을 신호선 패드(162) 및 주사선 패드(152)에 ACF(이방성 도전막) 등의 접속층을 통해서 전기적으로 접속하는 경우에, 신호선 패드(162) 및 주사선 패드(152)의 구성이 실질적으로 동일하기 때문에, 신호선 패드(162) 및 주사선 패드(152)의 접속 조건을 동일하게 하여도 접속홀에 인가되는 열이나 압력 등을 대략 같게 할 수 있고, 이에 의해 동일 조건에서의 제조가 가능해진다. 즉, 이 실시예에서는 주사선 패드(152)의 접속영역은 주로 주사선(111)에서 도출되는 하층 배선부(111a)와 화소전극(131)과 동일 재료인 ITO로 이루어지는 주사선 접속홀(131)과의 적층 구조로 구성되고, 또 신호선 접속 패드(162)의 접속영역은 주로 주사선(111)과 동시에 형성되는 하층 배선부(111b)와 화소전극(131)과 동일 재료인 ITO로 이루어지는 신호선 접속홀(131)과의 적층 구조로 구성되어 있고, 그 구조는 실질적으로 동일하다.

(여레이기판의 제조공정)

다음에 이 여레이기판(100)의 제조공정에 대해서 도 7에서 도 13을 참조하여 상세하게 설명한다.

(1) 제 1 공정

유리기판(101)에 스퍼터법에 의해 Al합금막으로서 Al-Nd막(2원자%Nd)을 300nm의 막두께, Mo막을 50nm의 막두께로 퇴적시킨다.

Mo막의 막두께로서는 50~500nm, 바람직하게는 50~300nm 사이에 있다면 좋다. 단, 50nm미만이 되면 Al의 침투를 억제할 수 없게 된다. 한편, 500nm를 넘으면, 절연막의 단결 문제가 발생한다.

Al합금막으로서의 예를 들면 알루미늄-이트륨합금막(Al-Y막이 Y가 2원자%)이라도 Al-Nd막과 거의 동일하고, 알루미늄-가돌리늄합금막(Al-Gd막, Gd가 2원자%), 알루미늄-스칸듐합금막(Al-Sc막, Sc가 2원자%) 등이라도 가능하다.

이 Al합금막은 플라즈마 CVD법 등의 성막에 의해, 열처리효과를 받고, 불순물만이 결정입계 부근에서 편석하고, Al원자의 이동을 방해하여 침투의 발생을 방지하고 있다. 다결정 중에도 불순물이 존재하여, 저항비를 약 30%정도로 상승시킨다.

Al합금에 있어서 이들 첨가원소의 함량은 바람직하게는 0.5~10원자%, 보다 바람직하게는 1~3원자%이다. 첨가원소의 함량이 0.5중량%미만이라면, 가상의 용점이나 열변화점을 상승시켜 침투를 방지하는 효과가 충분하지 않는 경우가 많다. 한편, 첨가원소의 함량이 10원자%를 초과하면, 저항비의 증대 및 재료비용의 증대를 초래하기 때문에 바람직하지 않다.

또한, Al합금막으로서의 Sc, Y, Nd, 사마륨(Sm), Gd 중 적어도 2개를 포함하는 것이라도 좋다. 이 경우는 첨가원소의 합계 함량이 0.5~10원자%가 되도록 하는 것이 바람직하다. 구체예로서는 Y가 1원자%, Nd가 1원자%의 Al-Nd-Y합금막 등을 들 수 있다.

Al합금막 상에 적층하기 위한 고용점 금속으로서의 몰리브덴(Mo), 텅스텐(W), 티탄(Ti), 탄탈(Ta), 크롬(Cr), 지르코늄(Zr), 하프늄(Hf), 비나듐(V) 및 니오브(Nb)로 이루어지는 그룹에서 선택된 한 금속, 또는 이 그룹에서 선택된 2이상의 금속으로 이루어지는 합금이 모두 사용가능하다. 이들 고용점 금속은 내식성을 구비한 것이다. 이들 고용점 금속 속에서도 몰리브덴(Mo), 텅스텐(W), 티탄(Ti) 및 탄탈(Ta) 중 어느것이, 또는 이들의 합금이 바람직하다.

이 적층막 상에 포토리소그래피를 이용하여 주사선 패턴과 보조용량 배선의 일부를 형성하고, 인산, 초산, 질산의 혼합산을 이용하여 테이퍼형상으로 에칭하고, 주사선과 보조용량 배선 패턴을 완성시킨다.

이에 의해 유리기판(101)상에 480개의 주사선(111)을 제작함과 동시에 그 한 단면(101a)측에 있어서 주사선(111)의 경사 배선부(150) 및 주사선 패드(152)를 구성하는 하층 배선부(111a), 한 단면(101b)에 있어서 신호선(110)의 경사 배선부(160) 및 신호선 패드(162)를 구성하는 하층 배선부(111b)를 각각 동시에 제작한다.

또한, TFT영역에서는 주사선(111)과 일체로 주사선(111)과 직교하는 방향으로 도출되는 게이트전극을 제작한다. 또, 주사선(111)의 패터닝 시에 주사선(111)과 직교하는 방향으로 도출시켜, 보조용량(Cs)을 형성하기 위한 연장영역(113)도 동시에 제작해둔다(도 1참조).

(2) 제 2 공정

제 1 공정 후, 도 8에 도시한 바와 같이, 유리기판(101)을 300°C 이상(바람직하게는 330°C 이상)으로 가열하고, 상압 플라즈마 CVD법에 의해 150nm두께의 산화 실리콘막(SiO₂막)으로 이루어지는 제 1 게이트 절연막(115)을 퇴적한 후, 또한 동일한 기판 온도에 의한 감압 플라즈마 CVD법에 의해 150nm두께의 질화 실리콘막(Si₃N₄막)으로 이루어지는 제 2 게이트 절연막(117), 50nm두께의 α-Si:H로 이루어지는 반도체 피막(119) 및 200nm막의 질화실리콘막으로 이루어지는 채널보호피막(121)을 연속적으로 크게 드러내지 않고 성막한다.

유리기판(101)을 300℃이상으로 가열하여 성막하기 때문에 절연내압이 5×10^6 V/cm의 절연막을 얻기 쉽다.

상기의 제 1 게이트 절연막(115) 및 제 2 게이트 절연막(117)으로서 각각 질화실리콘막을 이용할 수 있다. 질화실리콘막이라면, 상기 절연내압에 더하여, 광학 밴드갭이 5eV이상인 것을 얻기 쉽다. 또, 상기의 제 1 게이트 절연막(115)인 SiO₂막 대신에 유리기판(101)을 300℃이상(바람직하게는 465℃이상)으로 가열하고, 열CVD법에 의해 성막되는 SiO₂막을 이용할 수도 있다. 이 경우도 열처리에 의한 Si막의 탈락 발생이 우려되지만, Al함금과 Mo와의 상승효과에 의해 탈락은 거의 억제되고 있다.

(3)제 3 공정

제 2 공정 후, 도 9에 도시한 바와 같이, 주사선(111)을 마스크로 한 이면노광기술에 의해 주사선(111)에 자기정합적으로 채널보호막(121)을 패터닝하고, 또한 TFT영역에 대응하도록 제 2 마스크패턴을 이용하여 노광하고, 현상, 비산(HF)계의 습식에칭에 의해 패터닝(제 2 패터닝)하고 성형상의 채널보호막(122)을 제조한다.

(4)제 4 공정

제 3 공정 후, 도 10에 도시한 바와 같이 양호한 증착속이 얻어지도록 노출하는 반도체피막(119) 표면을 비산(HF)계 용액으로 처리하고, 감압 플라즈마 CVD법에 의해 불순물로서 인을 포함하는 30nm두께의 n⁺-Si:H로 이루어지는 저저항 반도체 피막(123)을 퇴적하고, 또한 Mo를 주성분으로 하는 제 1 금속막과, Al을 주성분으로 하는 제 2 금속막과, Mo를 주성분으로 하는 제 3 금속막의 3층 구조로 되는 300nm두께의 3층 구조막(125)을 스퍼터에 의해 퇴적한다.

(5)제 5 공정

제 4 공정 후, 도 11에 도시한 바와 같이, 제 3 마스크패턴을 이용하여 노광, 현상하고, 3층 구조막(125)은 습식에칭에 의해 저저항 반도체 피막(123) 및 반도체 피막(119)을 질화 실리콘막으로 이루어지는 제 1 게이트 절연막(115) 또는 제 2 게이트 절연막(117)과 채널보호막(122)과의 에칭 선택비를 제어함으로써, 플라즈마에칭에 의해 패터닝한다(제 3 패터닝).

이에 의해 TFT영역에 있어서는 저저항 반도체막(124a)과 소스전극(126b)을 일체로 제작하고, 저저항 반도체막(124b) 및 신호선(110)과 일체로 드레인전극(126a)을 제작한다.

주사선 패드(152) 및 경사 배선부(150)의 기초부에 있어서는 하층 배선부(111a)상에 따라서 3층 구조막(125)을 패터닝하여 상층 배선부(125a)를 형성함과 동시에 상층 배선부(125a)를 따라서 저저항 반도체 피막(123) 및 반도체 피막(119)을 일괄하여 패터닝한다. 이와 동시에 상층한 제 2 접촉홀(154, 156)에 대응하는 상층 배선부(125a), 저저항 반도체 피막(123) 및 반도체 피막(119)을 관통하는 구멍(154a, 156a)을 제작한다.

동일하게 신호선 패드(162) 및 경사 배선부(160)의 기초부에 있어서는 하층 배선부(111b)상에 따라서 3층 구조막(125)을 패터닝하여 신호선(110)에서 연장되는 상층배선부(125b)를 형성함과 동시에, 상층 배선부(125b)에 따라서 저저항 반도체 피막(123) 및 반도체 피막(119)을 일괄하여 패터닝한다. 이와 동시에 상층한 제 2 접촉홀(164, 166)에 대응하는 영역의 상층 배선부(125b), 저저항 반도체 피막(123) 및 반도체 피막(119)을 관통하는 구멍(164a, 166a)을 제작한다.

여기에서는 저저항 반도체 피막(123) 및 반도체 피막(119)을 건식에칭에 의해 패터닝하였지만, 습식에칭이라도 관계없다.

(6)제 6 공정

제 5 공정 후, 이 위에 200nm두께의 질화 실리콘막으로 이루어지는 중간절연막(127)을 감압 플라즈마 CVD법에 의해 퇴적한다.

그리고, 도 12에 도시한 바와 같이 제 4 마스크패턴을 이용하여 노광, 현상하고, 소스전극(126b)에 대응하는 영역의 일부의 중간 절연막(127)을 제거하여 건식에칭에 의해 접촉홀(129a)을 형성한다.

주사선 패드(152) 및 경사 배선부(150)의 기초부에 있어서는 구멍(154a, 156a)에 대응하는 제 1 및 제 2 게이트 절연막(115, 117)과 함께 중간 절연막(127)을 일괄하여 제거하고 제 2 접촉홀(154, 156)을 형성(제 4 패터닝)과 동시에, 제 2 접촉홀(154, 156)근방의 중간 절연막(127)을 제거하여 제 2 접촉홀(154, 156)과 한 쌍을 이루는 제 1 접촉홀(153, 155)을 제작한다.

동시에 신호선 패드(162) 및 경사 배선부(160)의 기초부에 있어서는 구멍(164a, 166a)에 대응하는 제 1 및 제 2 게이트 절연막(117)과 함께 중간 절연막(127)을 일괄하여 제거하고 제 2 접촉홀(164, 166)을 형성함과 동시에, 제 2 접촉홀(164, 166)근방의 중간 절연막(127)을 제거하여 제 2 접촉홀(164, 166)과 각각 한 쌍을 이루는 제 1 접촉홀(163, 165)을 제작한다.

(7)제 7 공정

제 6 공정 후, 도 13에 도시한 바와 같이 이 위에 100nm두께의 ITO막을 스퍼터법에 의해 퇴적하고, 제 5 마스크패턴을 이용하여 노광, 현상, 습식에칭에 의한 패터닝(제 5 패터닝)을 거쳐, 화소전극(131)을 제작한다.

ITO막의 스퍼터링은 비정질의 ITO막이 퇴적되도록 다음과 같은 조건에서 실시하였다. 미츠비(三井)금속공업사제의 타겟을 사용하여 스퍼터 투입전력 3.5kW, 성막압력 0.7Pa, H₂O유량 0.5sccm로 하였다. 성막된 ITO막의 시트(Sheet)저항은 400 Ω / \square 이었다.

이 비정질 IT0막은 에칭에 의한 패터닝 후, 열처리를 실시함으로써, 저저항인 결정질의 IT0막으로 변환한다. 에레이기판 완성 후에 250℃ 30min.의 열처리를 실시하면, 얻어진 IT0막의 시트저항은 50 Ω / \square 으로 충분히 낮은 것이 되었다.

이렇게 비정질 IT0막의 상태에서 패터닝을 실시하기 때문에, 패터닝을 용이하게 실시할 수 있다.

또한 본 실시예에 있어서는 화소전극을 IT0막에 의해 형성하는 것으로서 설명하고 있지만, IZO(Indium-Zinc-Oxide)막도 완전히 동일하게 사용 가능하다. IZO막을 이용하는 경우, 비정질 IT0막과 동일하게 패터닝이 용이하고, 열처리를 실시하지 않아도 충분히 저항이 낮다.

IT0막 습식에칭은 HBr수용액을 이용한다. 이 경우에 Al합금막(111)의 에칭 피해는 없었다. 그 외 에칭액으로서 HBr+FeCl₃, HI수용액 또는 옥살산수용액이라도 좋다.

주사선 패드(152) 및 경사 배선부(150)의 기초부에 있어서는 제 1 접촉홀(153, 155)과 제 2 접촉홀(154, 156)을 각각 전기적으로 접속하기 위한 주사선 접속홀(131)을 형성하고, 이에 의해 주사선(111)과 주사선 패드(152)는 하층 배선부(111a)와 상층 배선부(125a)의 2층 구조의 경사 배선부(150)에 의해 전기적으로 접속된다.

신호선 패드(162) 및 경사 배선부(160)의 기초부에 있어서는 제 1 접촉홀(163, 165)과 제 2 접촉홀(164, 166)을 각각 전기적으로 접속하기 위한 신호선 접속홀(131)을 동시에 형성하고, 이에 의해 신호선(110)과 신호선 접속 패드(162)는 하층 배선부(111b)와 상층 배선부(125b)의 2층 구조의 경사 배선부(160)에 의해 전기적으로 접속된다.

(실시예의 효과)

미상과 같이 이 실시예의 에레이기판에 의하면, 기본 구성을 5개의 마스크에 의해 에레이기판을 제작할 수 있다. 즉, 화소전극을 최상층에 배치하고, 이에 따라서 신호선, 소스, 드레인전극과 함께 반도체 피막 등을 동일 마스크 패턴에 기초하여 일괄하여 패터닝함과 동시에, 소스전극과 화소전극과의 접속용 접촉홀의 제작과 함께, 신호선이나 주사선의 접속단을 노출하기 위한 접촉홀의 제작을 동시에 실시하여, 적어도 마스크수로 생산성을 향상할 수 있으며 또한 제조 생산성을 저하시키는 일도 없다.

또, 신호선 및 주사선의 각 경사 배선부에 있어서는 신호선을 이루는 상층 배선부와 주사선을 이루는 하층 배선부와의 2층에 의해 구성되고, 각 경사 배선부의 기초부와 각 패드를 전기적으로 접속하고 있다. 그 때문에 경사 배선부에 있어서 상층 배선부 또는 하층 배선부의 한 쪽이 단선되어도 다른쪽이 접속되어 있기 때문에, 경사 배선부가 단선하는 일이 없다.

또한 경사 배선부는 적어도 Si를 주체로 한 저저항재료로 구성되는 배선층을 포함하기 때문에 충분한 저저항화를 도모할 수 있다.

또, 구동 IC의 방프나 TCP 등의 전극을 접속하기 위한 신호선 패드 및 주사선 패드는 실질적으로 동일 구성이기 때문에, 양자를 동일 조건에서 접속하는 것이 가능해진다.

또, 주사선 저항은 대략 15인치 XGA이고, 평균배선 폭을 10 μ m, 배선길이를 30.5cm으로 한 때, 약 4.1k Ω 가 되고, Al알루미늄산화물(200nm두께)을 이용한 때의 Al 나머지 두께 200nm, (초기 막두께 300nm)에서의 약 5.6k Ω 와 비교하여 저저항을 실현할 수 있다. 또 양극산화공정(양극산화 마스크형성공정도 포함한다)도 삭감할 수 있어, 생산성 향상에 기여한다.

또, 주사선(111)은 Al-Hd합금막(1110)과 Mo막(1111)의 2층 구조로 함으로써, 열처리가 가해져도 할록이 충분히 억제될 뿐만 아니라, 에칭 속도차에서 양호한 스테이퍼 단면형상을 형성할 수 있다.

또한, 화소전극(131)을 형성하는 공정에서 습식에칭을 실시하여도 주사선(111) 사이에는 Mo막(1111), 제 1 게이트 절연막(115), 그 외 층이 존재하기 때문에 주사선(111)을 형성하는 알루미늄합금(1110)이 에칭 피해를 받는 일이 없다.

(변형예)

다음에 변형예의 액정표시장치의 제조방법에 대해서 설명한다.

변형예에서는 제 7 공정에서 IT0막의 에칭을 상기 습식에칭에 대신하여 HI+Ar(아르곤)가스계에 의한 건식에칭에 의해 캐소드 커패시터형의 에칭장치를 이용하여 실시하였다. 이 외는 상기 실시예와 완전히 동일하게 실시하였다.

이 변형예에 의해서도 상기 실시예와 동일한 효과가 얻어졌다.

화소전극(131)을 형성하는 공정에서 건식에칭을 실시한 경우에는 주사선(111) 사이에는 Mo막(1111), 제 1 게이트 절연막(115), 그 외 층이 존재하기 때문에, 주사선(111)을 형성하는 알루미늄합금(1110)이 에칭가스로 에칭 피해를 받는 일이 없었다.

건식에칭에 의해 패터닝을 실시하는 경우에는 미상 방전의 제어나 레지스트의 변질방지 등을 고려할 필요가 있지만, 상기의 습식에칭의 경우에 비해 에칭가스가 절연막의 핀홀을 통해서 바닥(알루미늄합금(1110)등)을 부식하는 일은 없으며 또, 약액처리라는 문제도 없다.

발명의 효과

본 발명에 따른 에레이 기판에 의하면, 기본 구성을 5개의 마스크에 의해 에레이기판을 제작할 수 있다. 즉, 화소전극을 최상층에 배치하고, 이에 따라서 신호선, 소스, 드레인전극과 함께 반도체 피막 등을 동일 마스크 패턴에 기초하여 일괄하여 패터닝함과 동시에, 소스전극과 화소전극과의 접속용 접촉홀의 제작과 함께, 신호선이나 주사선의 접속단을 노출하기 위한 접촉홀의 제작을 동시에 실시하여, 적

에도 마스크수로 생산성을 향상할 수 있으며 또한 제조 생산성을 저하시키는 일도 없다.

(59) 청구의 범위

청구항 1. 기판상에 배치되는 주사선 및 게이트전극과,

이 위에 배치되는 게이트절연막, 이 위에 배치되는 반도체막, 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 포함하는 박막트랜지스터와,

상기 드레인전극에서 도출되어 상기 주사선과 대략 직교하는 신호선, 및

상기 소스전극과 전기적으로 접속되는 화소전극을 구비한 표시장치를 어레이기판의 제조방법에 있어서,

상기 주사선 및 게이트전극을 알루미늄합금의 층과 고융점 금속층으로 이루어지는 금속적층막의 패터닝에 의해 형성하는 공정,

상기 주사선 및 게이트전극에 직접 접하는 게이트 절연막을 300°C 이상의 기판온도로 성막하는 공정을 갖는 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 2. 제 1 항에 있어서,

상기 게이트 절연막보다 위에 적층되는 투명도전막을 브롬화수소산(HBr: aq), 요드화수소산(HI: aq), 옥살산(COOH), 또는 이들 중 어느 하나를 적어도 포함하는 혼합액을 이용한 에칭에 의해 패터닝하고, 상기 화소전극을 작성하는 공정을 갖는 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 3. 제 1 항에 있어서,

상기 게이트절연막보다 위에 적층되는 투명도전막을 건식에칭에 의해 패터닝하고, 상기 화소전극을 작성하는 공정을 갖는 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 4. 제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 알루미늄합금은 네오븀(Nb), 미트륨(V), 스칸듐(Sc), 사마륨(Sm) 및 가돌리늄(Gd)으로 이루어지는 그룹에서 적어도 하나 선택되는 첨가원소를 이들 첨가원소의 합계 함량에서 0.5~10원자% 함유하는 것을 특징으로 하는 것을 표시장치용 어레이기판의 제조방법.

청구항 5. 제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 고융점 금속이 몰리브덴(Mo), 텅스텐(W), 티탄(Ti), 탄탈(Ta), 크롬(Cr), 지르코늄(Zr), 하프늄(Hf), 바나듐(V) 및 니오브(Nb)로 이루어지는 그룹에서 선택된 하나의 금속이거나, 또는 이 그룹에서 선택된 둘 이상의 금속으로 이루어지는 합금인 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 6. 제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 고융점 금속이 몰리브덴(Mo), 텅스텐(W), 티탄(Ti) 및 탄탈(Ta)로 이루어지는 그룹에서 선택된 하나의 금속이거나 또는 이 그룹에서 선택된 둘 이상의 금속으로 이루어지는 합금인 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 7. 제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 게이트 절연막이 상압 CVD법으로 형성된 질화 실리콘막으로 이루어지는 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 8. 제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 게이트 절연막이 플라즈마 CVD법으로 형성된 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막인 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 9. 제 3 항에 있어서,

상기 건식에칭이 캐소드 커플링형의 에칭장치를 이용하여 요드화수소(HI)가스를 포함하는 혼합가스에 의해 실시되는 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 10. 제 1 항에 있어서,

상기 주사선 및 게이트전극 및 상기 게이트 절연막을 형성한 후에 있어서, 상기 반도체막을 위한 반도체층 및 상기 소스전극 및 드레인전극 및 상기 신호선을 위한 제 2 금속층을 퇴적하는 공정,

상기 박막 트랜지스터 및 상기 신호선을 형성하도록 이들 반도체층 및 제 2 금속층을 동일 마스크패턴에 기초하여 일괄하여 패터닝하는 공정 및

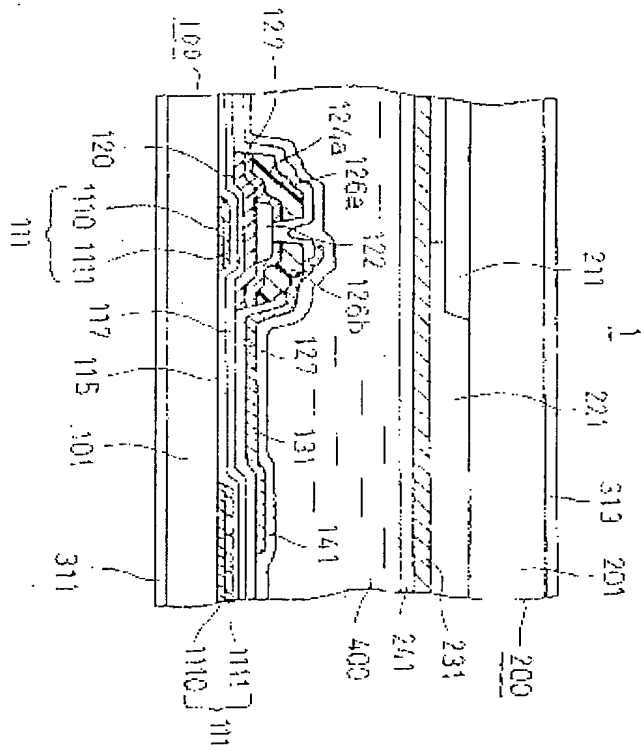
상기 제 2 금속층보다 위에 상기 화소전극을 형성하는 공정을 또한 갖는 것을 특징으로 하는 표시장치용 어레이기판의 제조방법.

청구항 11. 제 10 항에 있어서,

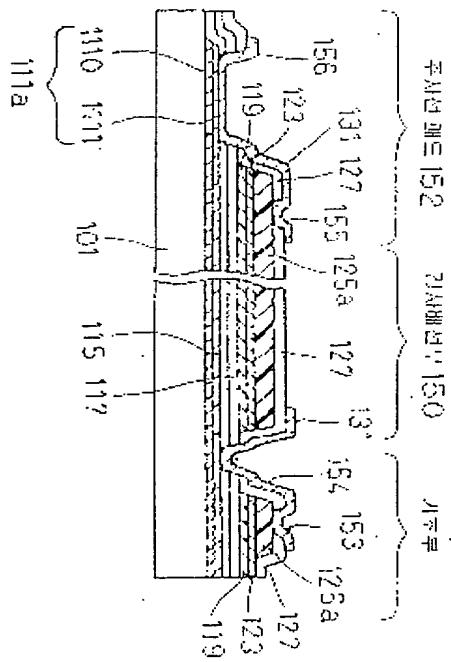
상기 화소전극을 형성하는 공정보다도 먼저이고, 상기 박막 트랜지스터 및 상기 신호선을 형성하는 공정보다도 후에,

표시장치용 어레이기판의 외부둘레부에 있어서 정속층을 형성하기 위해서 상기 게이트 절연막을 부분적으로 제거함으로써, 상기 주사선의 연장부의 윗면 또는 상기 주사선과 동시에 작성된 금속층 패턴의 윗

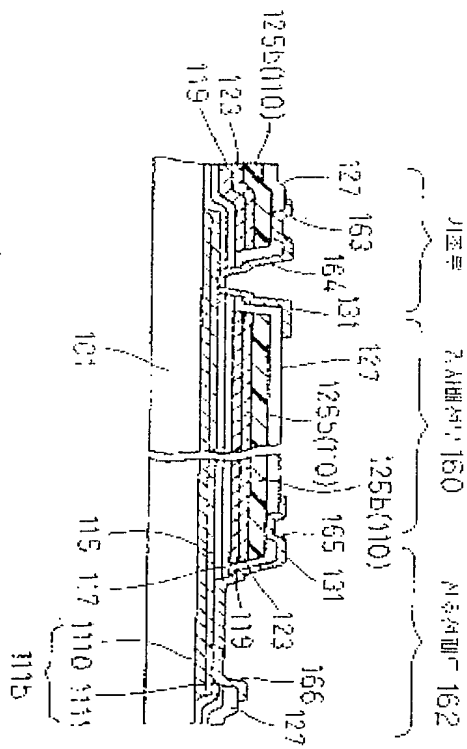
도면 2



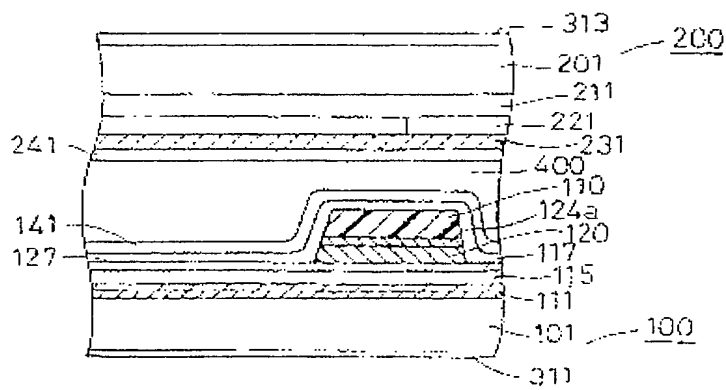
도면 3



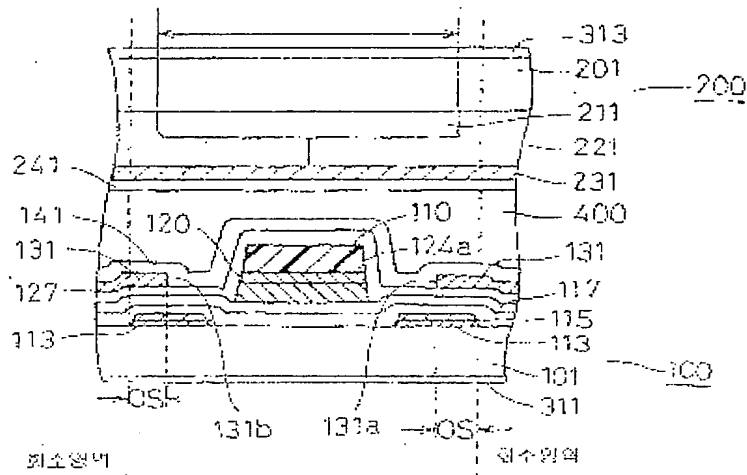
도 84



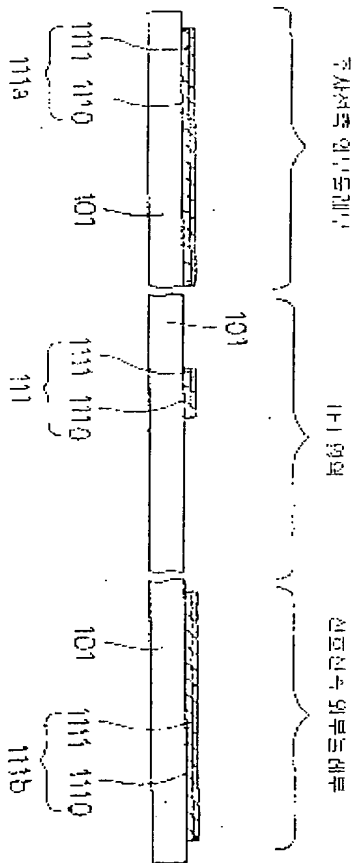
도 85



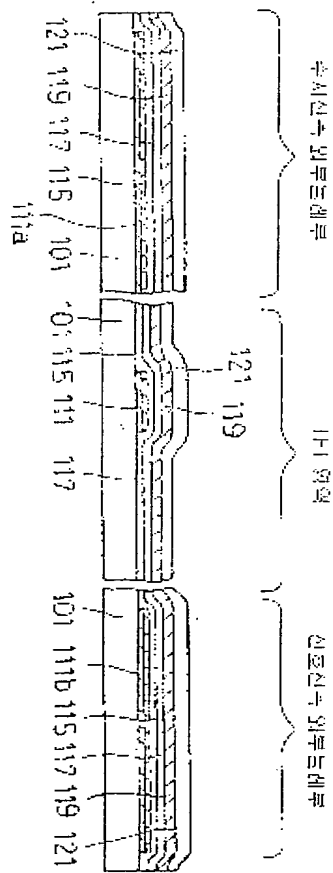
도면6



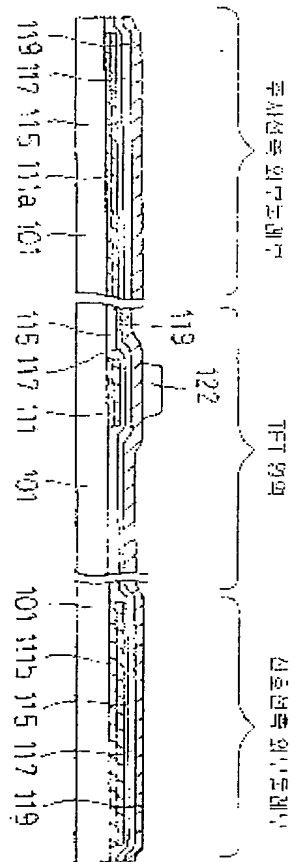
도면7



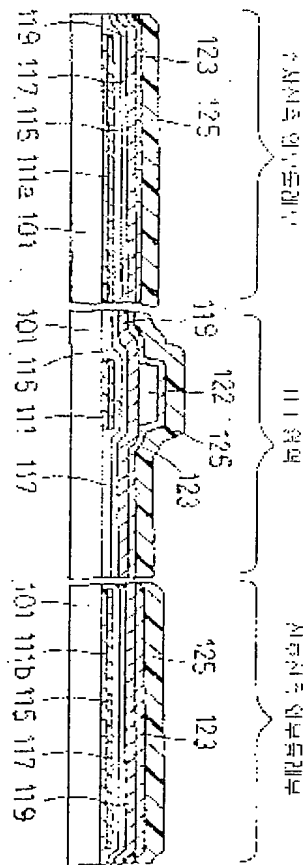
도면B



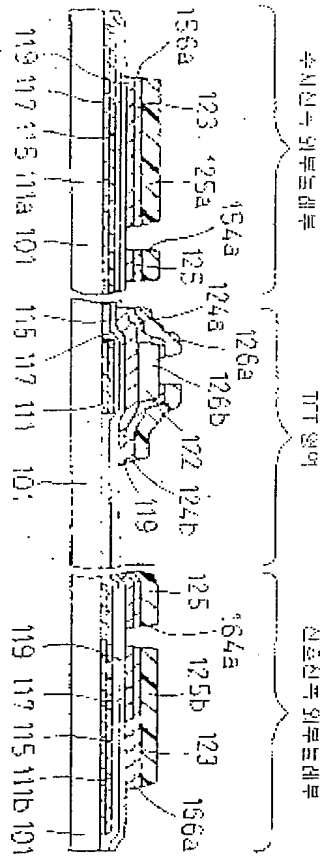
도 28



도면 10



11 11



도면 12

